

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000049570 A

(43) Date of publication of application: 18.02.00

(54) LINEAR PHASE FILTER CIRCUIT

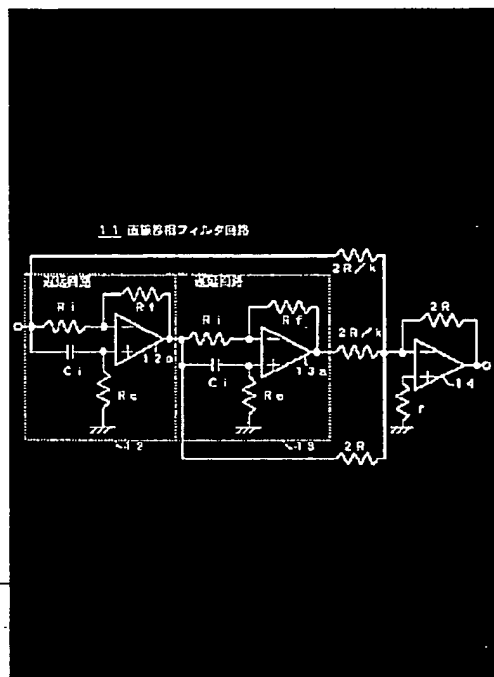
(57) Abstract:

PROBLEM TO BE SOLVED: To provide an inexpensive linear phase filter circuit by constituting delay circuits by means of a phase shift circuit using arithmetic amplifiers.

SOLUTION: The delay circuits 12 and 13 causing linear phase delay as against an input signal frequency inside a filter are constituted by the phase shift circuit including the arithmetic amplifiers 12a and 13a. Therefore, desired signal delay is attained by the phase advance of a signal in accordance with a signal frequency through the use of the phase shift circuit such as a whole band pass filter for passing the whole band signals by one gain.

COPYRIGHT: (C)2000,JPO

(51) Int. Cl
H03H 11/18
H03H 11/12
H04N 5/208
H04N 9/68



(21) Application number: 10216706

(22) Date of filing: 31.07.98

(71) Applicant: NEC HOME ELECTRON LTD

(72) Inventor: YAMADA NOBUHIKO

(43) 公開日 平成12年2月18日 (2000.2.18)

| (51) Int. Cl. ⁷ | 識別記号 | F I | サーチコード (参考) |
|----------------------------|-------|--------------|-------------|
| H 03 H 11/18 | | H 03 H 11/18 | A 5 C 021 |
| 11/12 | | 11/12 | D 5 C 066 |
| H 04 N 5/208 | | H 04 N 5/208 | 5 J 098 |
| 9/68 | 1 0 3 | 9/68 | 1 0 3 Z |

審査請求 未請求 請求項の数 2 O L (全 4 頁)

| | | | |
|-----------|------------------------|----------|--|
| (21) 出願番号 | 特願平10-216706 | (71) 出願人 | 000001937 日本電気ホームエレクトロニクス株式会社 大阪府大阪市中央区城見一丁目4番24号 |
| (22) 公開日 | 平成10年7月31日 (1998.7.31) | (72) 発明者 | 山田 伸彦 大阪府大阪市中央区城見一丁目4番24号 日本電気ホームエレクトロニクス株式会社 内 |

(54) 【発明の名称】 直線位相フィルタ回路

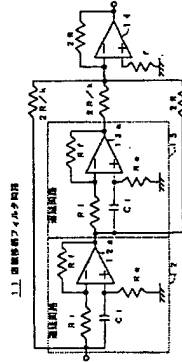
(57) 【要約】

【課題】 演算増幅器を用いた移相回路にて遅延回路を構成することにより、安価な直線位相フィルタ回路を提供する。

【解決手段】 フィルタ内にあって入力信号周波数に対し線形な位相遅れをもたらす遅延回路12、13を、演算増幅器12a、13aを含む移相回路により構成したから、全帯域の信号をゲイン1で通過させる全帯域通過フィルタのような移相回路を用い、信号周波数に応じて信号を進相させることで、所望の信号遅延を図ることができる。

図1に続く

本発明の直線位相フィルタ回路の一実施形態を示す回路図



【0009】

【発明の実施の形態】以下に、本発明の実施形態を図1を参照して説明する。図1は、本発明の直線位相フィルタ回路を示す回路構成図である。

【0010】図1に示す直線位相フィルタ回路11は、直線位相フィルタ回路12、13の初期入力端子と終端出力の加算値を係数 k 倍し、初期出力から減算するコサインコライジング回路を、演算増幅器12、13を用いた移相回路にて遅延回路12、13を構成した点に特徴がある。

【0011】実施形態に示す直線位相フィルタ回路11は、反転入力端子と非反転入力端子と出力端子を備えた演算増幅器12 a (13 a)と、出力端子と反転入力端子とを接続する帰還抵抗 R_f と、反転入力端子に接続した入力抵抗 R_i と、非反転入力端子に接続した入力抵抗 R_i と、非反転入力端子と出力端子を接続する接地点 R_e とから構成されている。すなわち、演算増幅器12 a (13 a)は、入力抵抗 R_i を介して非反転入力端子に接続された反転入力端子が、帰還抵抗 R_f を介して出力端子に接続されており、一方また入力コモンセンス C_i を介して反転入力端子と非反転入力端子に接続した入力抵抗 R_i と、非反転入力端子と出力端子を接続する接地点 R_e を介して接続されている。

【0012】上記遅延回路12、13は、信号レベルを変化させ、位相だけを単で遅延させて信号遅延を要する。入力抵抗 R_i と帰還抵抗 R_f の抵抗比は数%以下に精度をもて一致させてある。すなわち、 $R_i = R_f$ である。一般に、演算増幅器12 a (13 a)の反転入力端子と非反転入力端子は低インピーダンス状態にあると考えることができるため、その入力信号と出力信号の関係を規定する伝達関数 $D(s)$ は、
$$D(s) = -[s - (1/R_e C_i)] / [s + (1/R_e C_i)]$$

で表される。ただし、 s はラプラス演算子である。

【0013】上記伝達関数 $D(s)$ からも明らかなように、振幅特性は入力周波数によらず常にゲインが1の平坦な特性であり、従って遅延回路12、13は入力信号の全ての周波成分をレベル変化させることなく通過させる全帯域通過フィルタを構成している。ただし、位相特性については、入力周波数に応じて曲線的に変化する。具体的には、中心周波数 $f_0 (= 1/2\pi R_e C_i)$ で $+90^\circ$ (位相進み)を生じ、入力周波数を $0 \sim \infty$ まで変化させると、 $180^\circ \sim 0^\circ$ まで位相が変化する。すなわち、中心周波数 f_0 で 90° の位相ずれが生じ、これから周波数がずれたときの位相角 ϕ は、
$$\phi = 2 \arctan(f/f_0)$$

である。従って、任意の位相角 ϕ を得るには、 C_i を選定し、 $R_e = \tan \phi / 2\pi f_0 \cdot C_i$

とするとよい。また、特定の周波数で正側に 90° 移相

【0017】

【発明の効果】以上説明したように、本発明によれば、フィルタ内にあって入力信号周波数に対し線形な位相遅れをもたらし遅延回路を、演算増幅器を含む移相回路により構成したから、全帯域の信号をゲインで通過させる全帯域通過フィルタのような移相回路を用いることで、信号周波数に応じて信号を遅延させることで、所望の遅延時間を生成することができる。使用する遅延回路の数が得るほど同値部品の大規模使用による製造コストの低減を図ることができるので、ガラス内部で移動に交換して遅延させるガラス遅延線と同様、安価に構成する。一方で、長時間の遅延を可能にしたり、CCD遅延線やデジタル遅延線ほど部品単価を高めることなく、理想的な信号遅延を図ることができる等の優れた効果を奏する。

【0018】また、本発明は、縦列接続した、対の遅延回路の初期入力と終端出力の加算値を係数倍し、初級出力から減算することにより位相特性が線形なコサインコライジングを施す上、反転入力端子と非反転入力端子と出力端子を備えた演算増幅器と、前記出力端子と反転入力端子とを接続する帰還抵抗と、前記反転入力端子に接続した入力抵抗と、前記非反転入力端子に接続した

入力コモンセンスと、前記非反転入力端子を接続する接地点とを具備する遅延回路を用いるようにしたから、 $D(s) = -k + e^{-s\tau} - k e^{-s\tau}$ なる伝達関数に従ってコサインコライジングを、 $D(s) = -[s - (1/R_e C_i)] / [s + (1/R_e C_i)]$ なる伝達関数に従って全帯域通過型の移相回路を組み込んで安価に実現でき、その場合は3個の演算増幅器とコンデンサならびに数個の抵抗を用いて構成できるため、遅延線を用いて構成した従来の回路と比較したときに、同値部品の大量使用によるコスト低減を確実に実施することができる等の効果を奏する。

【図面の簡単な説明】

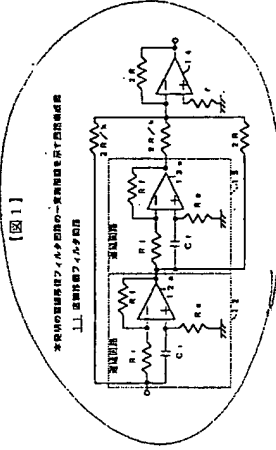
【図1】本発明の直線位相フィルタ回路を適用したコサインコライジング回路の一実施形態を示す回路構成図である。

【図2】従来の直線位相フィルタ回路の一例を示す回路構成図である。

【符号の説明】

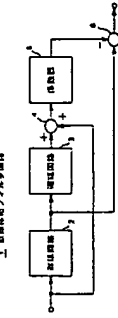
11 直線位相フィルタ回路
12、13 遅延回路
12 a、13 a、14 演算増幅器

【図1】



【図2】

従来の直線位相フィルタ回路の一例を示す回路構成図



フロントページの続き

Fターム(参考) 5C021 PA02 PA05 PA14 PA42 PA66
PA67 PA95 PA96 RC03 XD03
XB11
5C066 A420 BA20 CA06 EC02 KA01
KA05 KA15 KC01 KC11 KE02
KE03 KL08 KL09
5J098 AA11 AA14 AB02 AB08 AB25
AB32 AB36 AD28 CA08 DA01
DA09